

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

009551459    \*\*Image available\*\*

WPI Acc No: 1993-245006/199331

XRAM Acc No: C93-109085

XRPX Acc No: N93-188397

**Active matrix LCD appts. - has an insulating layer of increased thickness  
formed under the pixel electrodes to level the electrodes with the TFT  
surface**

Patent Assignee: CANON KK (CANO )

Inventor: MIYAWAKI M; SUGAWA S

Number of Countries: 005    Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 554060	A2	19930804	EP 93300568	A	19930127	199331	B
JP 5210116	A	19930820	JP 9240491	A	19920131	199338	
JP 5210117	A	19930820	JP 9240495	A	19920131	199338	
EP 554060	A3	19931201	EP 93300568	A	19930127	199513	
US 5644370	A	19970701	US 9310628	A	19930128	199732	
			US 94330611	A	19941028		
			US 96675807	A	19960705		

Priority Applications (No Type Date): JP 9240495 A 19920131; JP 9240491 A  
19920131

Cited Patents: No-SR.Pub; 9.Jnl.Ref; EP 449123; JP 1086113; JP 3042627; JP  
52124860; JP 62278537; JP 62297289; JP 63101831; JP 63279228; US 4024626

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 554060	A2	E 17	G02F-001/136	

Designated States (Regional): DE FR GB

JP 5210116	A	8	G02F-001/136
------------	---	---	--------------

JP 5210117	A	6	G02F-001/136
------------	---	---	--------------

US 5644370	A	15	G02F-001/136	Cont of application US 9310628 Cont of application US 94330611
------------	---	----	--------------	---

EP 554060	A3		G02F-001/136
-----------	----	--	--------------

Abstract (Basic): EP 554060 A

Active matrix LCD comprises: thin film transistor (TFT) switch;  
pixel having an electrode (7) connected to a TFT electrode; and an  
insulating layer (9) under the pixel electrode formed thicker than the  
active layer of the TFT. The insulation layer is pref. a (patterned)  
LOCOS layer. The active layer is pref. a mono-Si layer.

**ADVANTAGE** - The thickened insulative layer allows the pixel  
electrode to be provided at an elevated position, at the same level as  
the TFT surface portions; as a result gap sizes (d1,d2) are about equal  
so that a uniform field can be applied to the liq. crystal (11), and  
connections between the pixel electrode and the TFT can avoid having

step portions.

Dwg.1/11

Title Terms: ACTIVE; MATRIX; LCD; APPARATUS; INSULATE; LAYER; INCREASE;  
THICK; FORMING; PIXEL; ELECTRODE; LEVEL; ELECTRODE; TFT; SURFACE

Derwent Class: L03; P81; U11; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): H01L-027/12; H01L-029/40;

H01L-029/784

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

04218416    \*\*Image available\*\*  
LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.:    05-210116 [JP 5210116 A]  
PUBLISHED:    August 20, 1993 (19930820)  
INVENTOR(s):    MIYAWAKI MAMORU  
                      SUGAWA SHIGETOSHI  
APPLICANT(s):    CANON INC [000100] (A Japanese Company or Corporation), JP  
                      (Japan)  
APPL. NO.:    04-040491 [JP 9240491]  
FILED:    January 31, 1992 (19920131)  
INTL CLASS:    [5] G02F-001/136; H01L-027/12; H01L-029/784  
JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
                      (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD:    R004 (PLASMA); R011 (LIQUID CRYSTALS)  
JOURNAL:    Section: P, Section No. 1651, Vol. 17, No. 643, Pg. 92,  
                      November 29, 1993 (19931129)

#### ABSTRACT

PURPOSE: To eliminate the unequalness of the orientability and electric field of a liquid crystal and to enhance image quality by controlling the insulating layer under a picture element electrode and eliminating the gap between a thin-film transistor(TFT) and a picture element part.

CONSTITUTION: The part of an Si layer formed on a glass substrate 1 where the part faced to a picture element electrode 7 is oxidized to LOCOS to form a LOCOS insulating layer 8 having a large film thickness, by which the picture element electrode 7 is shifted to a high position and the thin-film electrode and the picture element part are flattened. Further, a metal consisting of W or Si is previously deposited by evaporation on the upper part of the drain 3 and thereafter, ITO is deposited by evaporation on the drain 3 with which the contact is made hard by the shift of the picture element electrode 7 to connect the picture element electrode 7 and the drain 3 of the TFT. The LOCOS layer is formed by the method of depositing polycrystalline Si by CVD on a quartz substrate. SiN is then patterned via a thin oxide film on the surface of the polycrystalline Si and is selectively oxidized, by which the LOCOS layer increased in the thickness by the oxidation is obtained

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-210116

(43) 公開日 平成5年(1993)8月20日

(51) Int. Cl. <sup>5</sup>

識別記号

F I

G02F 1/136

500

9018-2K

H01L 27/12

A 8728-4M

29/784

9056-4M

H01L 29/78

311

A

311

R

9056-4M

審査請求 未請求 請求項の数 7 (全8頁)

(21) 出願番号

特願平4-40491

(22) 出願日

平成4年(1992)1月31日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 宮脇 守

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 須川 成利

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

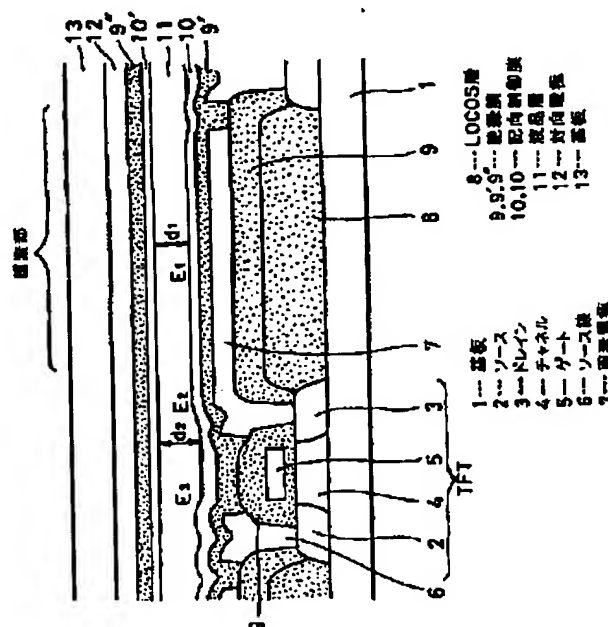
(74) 代理人 弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 液晶を挟持する基板間のギャップ差を複雑な工程を加えることなく解決し、該ギャップ差に由来する、液晶配向性や基板間の電界むらを無くし、高品質な画像表示を行う液晶表示装置を提供する。

【構成】 ガラス基板上に形成したSi層のうち、画素電極に対応する部分をLOCOS酸化することにより膜厚の厚いLOCOS絶縁層を形成し、従来よりも高い位置に画素電極をシフトしてTFTと画素部を平坦化せしめ、さらに、画素電極のシフトによりコンタクトが困難になったドレインに対してはW又はAuからなる金属を予めドレイン上部に蒸着した後ITOを蒸着して画素電極とTFTのドレインとを接続した液晶表示装置。



## 【特許請求の範囲】

【請求項1】 スイッチング素子として薄膜トランジスタを用いたアクティブマトリクス方式の液晶表示装置であって、上記トランジスタの主電極に接続した画素電極下の絶縁層が、該トランジスタの活性層よりも厚いことを特徴とする液晶表示装置。

【請求項2】 画素電極下の絶縁層の少なくとも一部がLOCOS層からなることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 画素電極下の絶縁層の少なくとも一部がパターンニングにより形成されていることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 薄膜トランジスタの活性層が単結晶Siで形成されていることを特徴とする請求項1～3いずれかに記載の液晶表示装置。

【請求項5】 表示部を除く周辺駆動部の基板がSi基板であり、表示部が透明であることを特徴とする請求項1～4いずれかに記載の液晶表示装置。

【請求項6】 画素電極と薄膜トランジスタの主電極とが金属配線層を介して接続されていることを特徴とする請求項1～5いずれかに記載の液晶表示装置。

【請求項7】 薄膜トランジスタのソース及びドレインをそれぞれ覆う形状の金属電極を該ソース及びドレインに第1遮光層として接続し、さらにトランジスタ全体を覆う第2遮光層を上記第1遮光層上に絶縁層を介して設けたことを特徴とする請求項1～6いずれかに記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は映像等画像表示を行う液晶表示装置に関するものである。

## 【0002】

【従来の技術】 映像等を表示する液晶表示装置では、解像度を高めて精細な表示を行うために、1画面をできる限り多くの画素に分割する必要があり、この膨大な画素を効率よく駆動するために、各画素毎にスイッチング素子を配置して該スイッチング素子をマトリクス駆動することにより、画素電極のオン・オフを行う、アクティブマトリクス方式が広く用いられている。

【0003】 このアクティブマトリクス方式は用いるスイッチング素子の種類により三端子方式と二端子方式に大別されるが、三端子素子、中でもアモルファスSiや多結晶Siを用いた薄膜トランジスタ（以下「TFT」と記す）素子を用いた液晶表示装置が広く研究・開発されている。

## 【0004】

【発明が解決しようとする手段】 図8に従来のTFTを用いた液晶表示装置の表示部における断面の該略図を示した。図中1はガラス等透明基板、2～4はTFTの活性層であり、説明上2をソース、3をドレインとする。4

はチャンネルである。5はTFTのゲート、6はソース線でAlの金属やITO (Indium Tin Oxide) が用いられる。7は画素電極で通常ITOが用いられる。画素電極7はTFTのドレイン3に接続されている。9、9'、9''は絶縁層であり、10、10'は液晶を配向させるための配向制御膜である。11は液晶、12は対向電極、13は対向基板である。通常両基板をそれぞれ作成した後、不図示のスペーサにより基板間の距離を制御しながら液晶を封入する。基板間に挟持された液晶はTFTのスイッチングにより制御された電界に従って配向し光透過性を変化させる。

【0005】 しかしながら、図8に示したように、画素部における基板間のギャップ $d_1$ に比べてTFT上のギャップ $d_2$ は、はかり小く、従って、同じ電圧が印加されているにもかかわらず、TFT上の電界 $E_1$ 、 $E_2$ と画素部の $E_3$ も $E_4$ 、 $E_5$ と異なり、画素部の電界 $E_6$ が周辺の $E_7$ 、 $E_8$ の影響を強く受けて画質の劣化等を引き起こしてしまう。さらにギャップの差はそのまま液晶の配向性にも影響し、表示画像の画質低下を招いてしまう。

【0006】 このようなギャップのばらつきに対して、例えば特開昭62-247330号公報では、絶縁層を画素電極間に設けることにより平坦化を図る方法が開示されている。しかしながら、該公報に記載された技術ではTFTを用いた装置までは考慮されていない。TFTに代表される半導体駆動素子は製造工程が複雑且つ緻密であり、品質制御が非常に難しい。

【0007】 本発明の目的は、このTFTを用いた液晶表示装置における上記ギャップ差の問題を解決することにある。

## 【0008】

【課題を解決するための手段及び作用】 本発明は、画素電極下の絶縁層を制御することにより、TFTと画素部とで基板間のギャップを無くし、平坦化を図った液晶表示装置を提供するものである。

【0009】 即ち本発明は、スイッチング素子としてTFTを用いたアクティブマトリクス方式の液晶表示装置であって、上記TFTの主電極に接続した画素電極下の絶縁層が、該TFTの活性層よりも厚いことを特徴とする液晶表示装置である。

【0010】 本発明において、上記絶縁層の厚みの制御手段として好ましくはLOCOS (Local Oxidation of Silicon) 層が用いられる。

【0011】 図2にこのLOCOS層の形成方法を示した。先ず石英基板21上に多結晶SiをCVD (Chemical Vapor Deposition) により蒸着する（図2(a)）。ここで石英基板を用いるのは1000～1100℃と高温で湿式酸化処理するためである。次に多結晶Si表面に薄膜酸化膜23を介して

SiNをパターニング(b)し、選択酸化(c)すると酸化されて厚みの増したLOCOS層25が得られる。

【0012】本発明において、上記TFTの活性層としては多結晶Si、アモルファスSi、単結晶Siが好ましく用いられる。これらの製造方法、或いは基板上への形成方法については、現在行われているいずれの方法でも好適に用いられるが、特に単結晶Siについては次に挙げる多孔質Siを基体としてエピタキシャル成長させて得られる薄膜が無欠陥で、しかも製造コストも低いため非常に好適に用いられる。

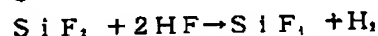
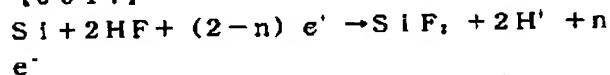
【0013】この多孔質Si基体には、透過型電子顕微鏡による観察によれば、平均約600Å程度の径の孔が形成されており、その密度は単結晶Siに比べると、半分以下になるにもかかわらず、その単結晶性は維持されており、多孔質層の上部へ単結晶Si層をエピタキシャル成長させることも可能である。ただし、1000℃以上では、内部の孔の再配列が起こり、増速エッチングの特性が損なわれる。このため、Si層のエピタキシャル成長には、分子線エピタキシャル成長法、プラズマCVD法、熱CVD法、光CVD法、パイアス・スパッタ法、液晶成長法等の低温成長が好適とされる。

【0014】ここでP型Siを多孔質化した後に単結晶層をエピタキシャル成長させる方法について説明する。

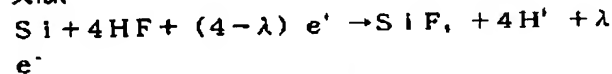
【0015】まず、Si単結晶基体を用意し、それをHF溶液を用いた陽極化成法によって、多孔質化する。単結晶Siの密度は2.33g/cm<sup>3</sup>であるが、多孔質Si基体の密度はHF溶液濃度を20~50重量%に変化させることで、0.6~1.1g/cm<sup>3</sup>に変化させることができる。この多孔質層は下記の理由により、P型Si基体に形成され易い。

【0016】多孔質Siは半導体の電界研磨の研究過程において発見されたものであり、陽極化成におけるSiの溶解反応において、HF溶液中のSiの陽極反応には正孔が必要であり、その反応は、次のように示される。

【0017】



又は、



ここで、e'及びe<sup>-</sup>はそれぞれ、正孔と電子を表している。また、n及びλはそれぞれSi1原子が溶解するために必要な正孔の数であり、n>2又は、λ>4なる条件が満たされた場合に多孔質Siが形成されるとしている。

【0018】以上のことから、正孔の存在するP型Siは、多孔質化され易いと言える。

【0019】一方、高濃度N型Siも多孔質化されることが報告されており、従って、P型、N型の別にこだわらずに多孔質化を行うことができる。

【0020】また、多孔質層はその内部に大量の空隙が形成されているために、密度が半分以下に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶層のエッチング速度に比べて著しく増速される。

【0021】単結晶Siを陽極化成によって多孔質化する条件を以下に示す。尚、陽極化成によって形成する多孔質Siの出発材料は、単結晶Siに限定されるものではなく、他の結晶構造のSiでも可能である。

【0022】印加電圧： 2.6 (V)

電流密度： 30 (mA・cm<sup>-2</sup>)

陽極化成溶液： HF:H<sub>2</sub>O:C<sub>2</sub>H<sub>5</sub>OH=1:1:1

時間： 2.4 (時間)

多孔質Siの厚み： 300 (μm)

Porosity: 56 (%)

20 このようにして形成した多孔質Si基体の上にSiをエピタキシャル成長させて単結晶Si薄膜を形成する。単結晶Si薄膜の厚さは好ましくは50μm以下、さらに好ましくは20μm以下である。

【0023】次に上記単結晶Si薄膜表面を酸化した後、最終的に基板を構成することになる基体を用意し、単結晶Si表面の酸化膜と上記基体を貼り合わせる。或いは新たに用意した単結晶Si基体の表面を酸化した後、上記多孔質Si基体上の単結晶Si層と貼り合わせる。この酸化膜を基体と単結晶Si層の間に設ける理由は、例えば基体としてガラスを用いた場合、Si活性層の地下界面により発生する界面準位は上記ガラス界面に比べて、酸化膜界面の方が準位を低くできるため、電子デバイスの特性を、著しく向上させることができるためである。さらに、後述する選択エッチングにより多孔質Si気体をエッチング除去した単結晶Si薄膜のみを新しい基体に貼り合わせても良い。貼り合わせはそれぞれの表面を洗浄後に室温で接触させるだけでファンデルワールス力で簡単には剥すことができない程充分に密着しているが、これをさらに200~900℃、好ましくは600~900℃の温度で窒素雰囲気下熱処理し完全に貼り合わせる。

【0024】さらに、上記の貼り合わせた2枚の基体全体にSi<sub>3</sub>N<sub>4</sub>層をエッチング防止膜として堆積し、多孔質Si基体の表面上のSi<sub>3</sub>N<sub>4</sub>層のみを除去する。このSi<sub>3</sub>N<sub>4</sub>層の代わりにアビエゾンワックスを用いても良い。この後、多孔質Si基体を全部エッチング等の手段で除去することにより薄膜単結晶Si層を有する半導体基板が得られる。

【0025】この多孔質Si基体のみを無電解湿式エッチングする選択エッチング法について説明する。

【0026】結晶Siに対してはエッチング作用を持たず、多孔質Siのみを選択エッチング可能なエッチング液としては、弗酸、フッ化アンモニウム(NH<sub>4</sub>F)やフッ化水素(HF)等バッファード弗酸、過酸化水素水を加えた弗酸又はバッファード弗酸の混合液、アルコールを加えた弗酸又はバッファード弗酸の混合液、過酸化水素水とアルコールとを加えた弗酸又はバッファード弗酸の混合液が好適に用いられる。これらの溶液に貼り合わせた基板を潤湿させてエッチングを行う。エッチング速度は弗酸、バッファード弗酸、過酸化水素水の溶液濃度及び温度に依存する。過酸化水素水を添加することによって、Siの酸化を増速し、反応速度を無添加に比べて増速することが可能となり、さらに過酸化水素水の比率を変えることにより、その反応速度を制御することができる。またアルコールを添加することにより、エッチングによる反応生成気体の気泡を、瞬時にエッチング表面から攪拌することなく除去でき、均一に且つ効率よく多孔質Siをエッチングすることができる。

【0027】バッファード弗酸中のHF濃度は、エッチング液に対して、好ましくは1~95重量%、より好ましくは1~85重量%、さらに好ましくは1~70重量%の範囲で設定され、バッファード弗酸中のNH<sub>4</sub>F濃度は、エッチング液に対して、好ましくは1~95重量%、より好ましくは5~90重量%、さらに好ましくは5~80重量%の範囲で設定される。

【0028】HF濃度は、エッチング液に対して、好ましくは1~95重量%、より好ましくは5~90重量%、さらに好ましくは5~80重量%の範囲で設定される。

【0029】H<sub>2</sub>O<sub>2</sub>濃度は、エッチング液に対して、好ましくは1~95重量%、より好ましくは5~90重量%、さらに好ましくは10~80重量%で、且つ上記過酸化水素水の効果を奏する範囲で設定される。

【0030】アルコール濃度は、エッチング液に対して、好ましくは80重量%、より好ましくは60重量%以下、さらに好ましくは40重量%以下で、且つ上記アルコールの効果を奏する範囲で設定される。

【0031】温度は、好ましくは0~100℃、より好ましくは5~80℃、さらに好ましくは5~60℃の範囲で設定される。

【0032】本工程に用いられるアルコールはエチルアルコールの他、イソプロピルアルコールなど製造工程等に実用上差し支えなく、さらに上記アルコール添加効果を望むことのできるアルコールを用いることができる。

【0033】このようにして得られた半導体基板は、通常のSiウエハーと同等な単結晶Si層が平坦にしかも均一に薄層化されて基板全域に大面積に形成されている。

【0034】本発明においては、周辺駆動回路を従来の液晶表示装置同様にSi基板上に形成し、且つ表示部を

透明にすることもできる。

【0035】さらに、本発明において、画素電極下の絶縁層が厚くなったことにより、画素電極用ITOが、ドレインとの配線不良を起こすようであれば、ドレイン上に金属配線層を設けた上でITOと接続することにより、良好な接続状態を得ることができる。

【0036】また、本発明を好ましく応用した例として、カラー画像表示において、従来対向電極側に設けていた遮光層をTFT基板側に設けることができ、さらに優れた遮光効果を引き出すことができる。

【0037】本発明は基本的に画素電極下の絶縁層を厚くすることにより、TFT部と画素部との平坦化を図っているが、逆に画素電極下の絶縁層が厚くなり過ぎてTFT側のギャップが広くなる場合には、画素電極上に付設する絶縁層を薄くすることにより最終的な基板間ギャップの調製を行えば良い。

【0038】

【実施例】以下、実施例により本発明を具体的に説明するが、本発明がこれらの実施例に限定されるものではない。

【0039】実施例1

図1に本発明の実施例の一つを示した。図中の符号は前記した従来例と同じであるが、本発明においては、8のLOCOS層により、画素電極下の絶縁層の厚みが厚くなったためTFTとの高さの差がほとんどなくなっている。即ち図1のd<sub>1</sub>とd<sub>2</sub>がほぼ同等の寸法となることにより液晶層に印加される電界はほぼ一様、

$$E_1 \simeq E_2 \simeq E_3$$

となり、良好な表示特性が得られた。また図2に示すように、このLOCOS層8は、ガラス等の透明基板21上に多結晶Si層22、さらに酸化層23を形成した後、通常島状にパターニングしてTFTを形成するところを、TFTに用いる部分をSiNマスク24として図2(c)に示すようにLOCOS酸化することにより、厚い酸化層25を部分的に効率良く形成することができる。

【0040】実施例2

図3に本発明の第2の実施例を示した。本実施例においては、前記した多孔質Siを用いて単結晶Siを形成した後、表面を酸化させてSiO<sub>2</sub>薄膜を形成し、Si基板と貼り合わせる。この基板上に必要な部材を作り込んだ後、裏面エッチングによって表示部のみ基板のSi31を除去する。この時、上記SiO<sub>2</sub>がエッチングストッパーとなる。Si基板を除去した後にはポッティング材32を充填して補強する。

【0041】本実施例においては、無欠陥の単結晶Siを用いたことにより、TFTの高速駆動( $\mu=10 \rightarrow 500 \text{ cm}^2/\text{Vsec}$ )、及びTFTのリーク電流を減少させる( $10^{-10} \rightarrow 10^{-11} \sim 10^{-12}$ )ことができる。

## 【0042】実施例3

図4に本発明第3の実施例を示した。実施例1及び実施例2において画素電極下の絶縁層は2層(8及び9)構成になっていた。これに対し、本実施例では基板1上にあらかじめTFTの活性層より厚いSi層を形成した後、TFT部分のみ必要な厚さにエッチングする。残された厚い部分をLOCOS酸化すると、実施例1及び2よりも厚いLOCOS層が形成され、1層構成の絶縁層とすることができる。

## 【0043】実施例4

実施例1〜3において、LOCOS酸化によって形成した絶縁層をパターニングによって形成した液晶表示装置である。構成上、また効果の点で上記実施例1〜3に劣るところは無い。

## 【0044】実施例5

図5に本発明の第5の実施例を示した。図5でも明らかなように、画素電極がドレインに接続する部分、即ちゲート周囲の絶縁層9と画素電極下の絶縁層8及び9に囲まれた部分は従来の液晶表示装置に比べて厚い絶縁層を設けた分だけ深くなっている。そのため、画素電極としてITOを蒸着した時に、ITOが充分にドレインに届かず断線してしまう危険性が高い。本実施例はこれを補ったもので、画素電極7とドレイン3とを金属配線層51を介して接続した装置である。この金属配線層51に用いる金属としては、例えばこのような深い部分にも蒸着により充分に到達し易いWやAuを用いると良い。この構成により、液晶表示装置における信頼性が飛躍的に高まる。

## 【0045】実施例6

図6に本発明第6の実施例を示す。本実施例はカラー画像表示を目的とした液晶表示装置である。比較例として図7に従来のカラー用液晶表示装置を示す。図中66、66'はカラーフィルター、71、71'は遮光層である。図7に示した用に、従来の遮光層は対向基板側に設けられていた。従って、該遮光層71、71'とTFTとはその間の絶縁層や配線、カラーフィルター、液晶を合わせると、約6〜10μmも離れており、光の回り込みによりTFTのリーク現象が起こり、表示画像のコントラスト低下や諧調性低下といった問題が生じていた。しかしながら、TFT側に遮光層を設けると前記した基板間のギャップの問題をさらに大きくすることになるため、解決手段としては、開口率を犠牲にして遮光層のオーバーラップを増加させていた。そのため、表示画像は暗く、良質な画像が得られていなかった。

【0046】本実施例は、本発明によりTFTと画素部との平坦化が実現したことにより、この遮光層をTFT側に設け、その効果を充分に引き出した装置である。

【0047】即ち、図6に示す、第1遮光層61、62と第2遮光層64、65を設けた装置である。図6に示したように、TFTのソース及びドレインに接続する配

線をそれぞれソース、ドレインを覆うような形状に調整し、さらに絶縁層を介して第2遮光層によりこれらの第1遮光層を覆うことにより充分な遮光効果を得られる。第1遮光層はTFTと接続するため、Au等金属を用いる。第2遮光層も素材には第1遮光層と同様にAu等金属を好適に用いることができる。ただし第2遮光層は遮光が目的であるため、電位は固定されている。

【0048】本実施例では、光の回り込みがほとんどないために開口率を高くとることができ、コントラスト及び階調性の高い非常に高品質な画像表示を行うことができる。

## 【0049】

【発明の効果】以上説明したように、本発明の液晶装置では、TFTと画素部との段差が解決されたことにより、基板間ギャップ差による液晶の配向性や電界むらが無く、高品質な画像を表示することができる。さらに、カラー画像の表示においては、遮光層をTFT側に設けることができるために、開口部を広くとり、高コントラストで階調性にも優れた高画質の表示を行うことができる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施例の主要部の断面図である。

【図2】本発明に係るLOCOS酸化の工程の説明図である。

【図3】本発明の第2の実施例の主要部の断面図である。

【図4】本発明の第3の実施例の主要部の断面図である。

【図5】本発明の第5の実施例の主要部の断面図である。

【図6】本発明の第6の実施例の主要部の断面図である。

【図7】従来のカラー画増用液晶表示装置の主要部の断面図である。

【図8】従来の液晶表示装置の主要部の断面図である。

## 【符号の説明】

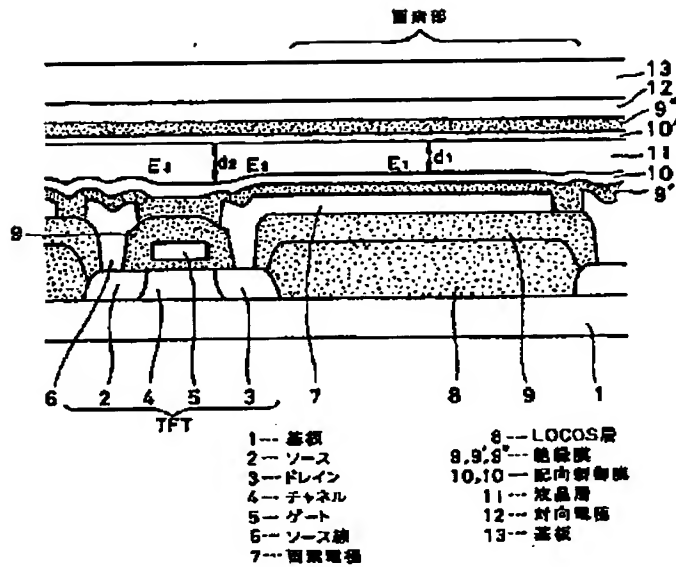
- 1 基板
- 2 ソース
- 3 ドレイン
- 4 チャネル
- 5 ゲート
- 6 ソース線
- 7 画素電極
- 8 LOCOS層
- 9、9'、9'' 絶縁膜
- 10、10' 配向制御膜
- 11 液晶層
- 12 対向電極
- 13 基板



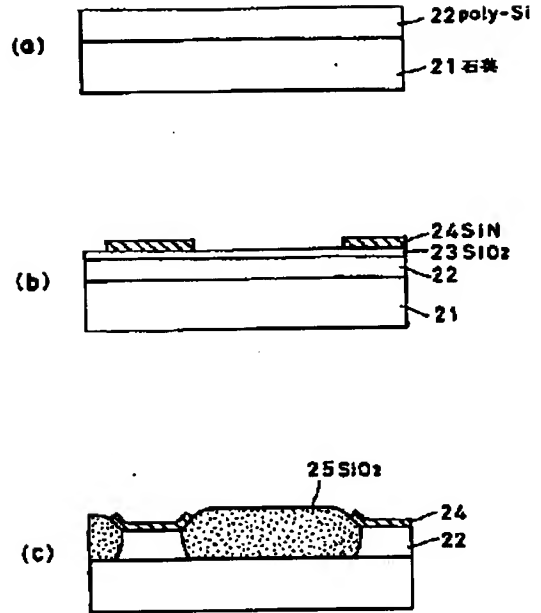
- 21 石英
- 22 多結晶Si
- 23  $\text{SiO}_2$
- 24  $\text{SiN}$
- 25  $\text{SiO}_2$
- 31 Si基板
- 32 ポッティング材
- 33  $\text{SiO}_2$

- 51 金属配線層
- 61 第1遮光層 (ソース側)
- 62 第1遮光層 (ド레인側)
- 63 透明電極
- 64 第2遮光層 (ソース側)
- 65 第2遮光層 (ド레인側)
- 66、66' カラーフィルター
- 71 遮光層

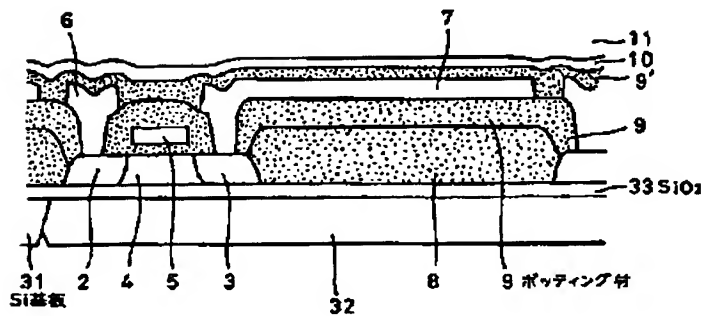
【図1】



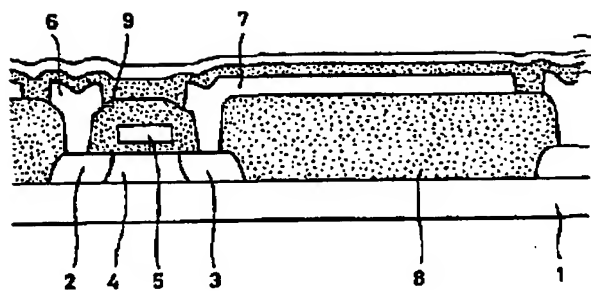
【図2】



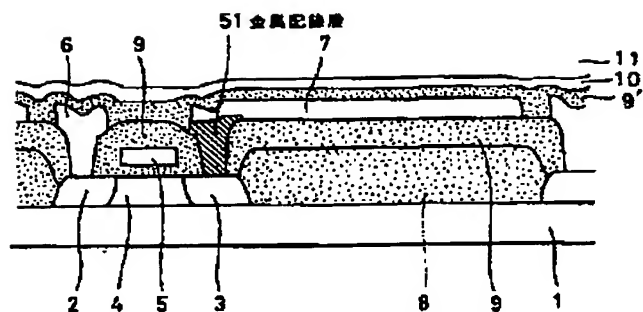
【図3】



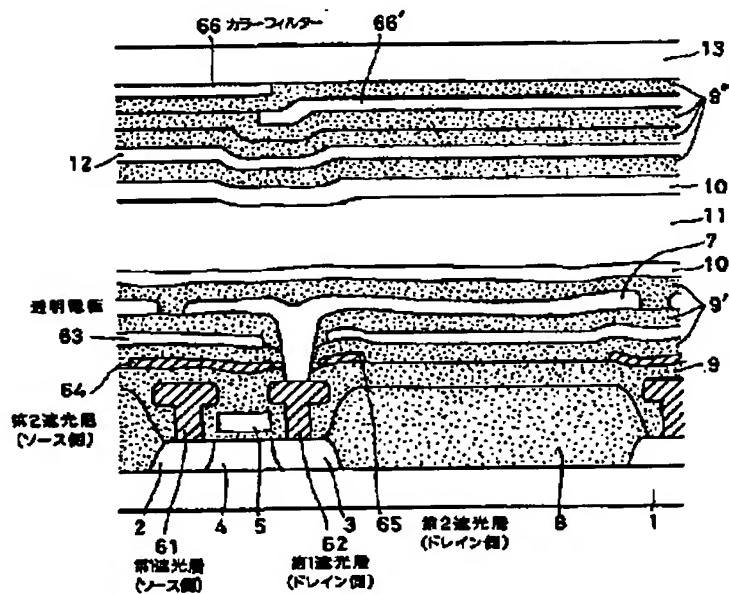
【図4】



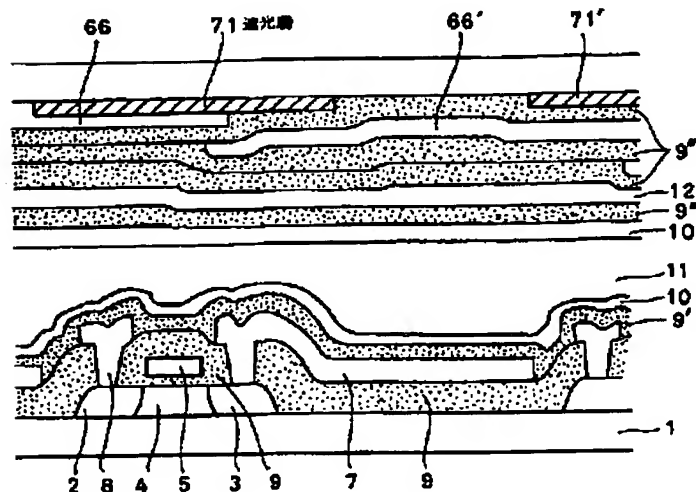
【図5】



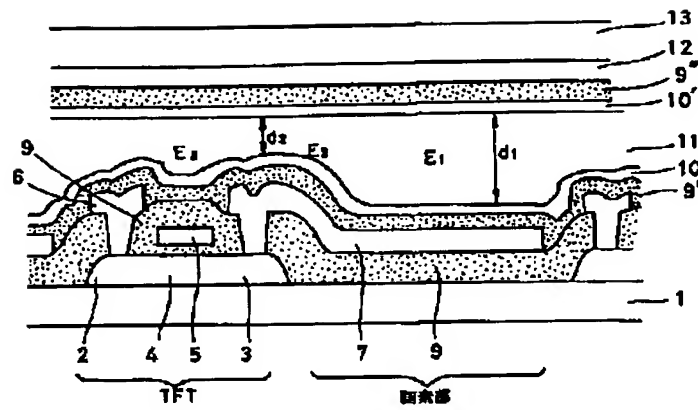
【図6】



【図7】



【図8】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**